

抵抗変化型半導体メモリの動作解析と低消費電力化に関する研究

著者	佐藤 嘉洋
号	54
学位授与機関	Tohoku University
学位授与番号	工博第4204号
URL	http://hdl.handle.net/10097/61569

氏 名	さとう よし ひろ
授 与 学 位	佐 藤 嘉 洋
学位授与年月日	博士 (工学)
学位授与の根拠法規	平成21年9月9日
研究科, 専攻の名称	学位規則第4条第1項
学 位 論 文 題 目	東北大学大学院工学研究科 (博士課程) 電子工学専攻
指 導 教 員	抵抗変化型半導体メモリの動作解析と低消費電力化に関する研究
論 文 審 査 委 員	東北大学教授 伊藤 隆司
	主査 東北大学教授 高橋 研 東北大学教授 坪内 和夫
	東北大学准教授 小谷 光司

論 文 内 容 要 旨

システム LSI の発展とともに混載型不揮発性メモリの重要性が増している。これまで一般的にはフローティング・ゲート構造の NOR 型フラッシュメモリが主に使われてきたが、フラッシュメモリは 18 V の高い動作電圧を必要とするためさらなるスケールアップと低消費電力化が困難になっている。このため、フラッシュメモリの代替となる不揮発性メモリ技術の開発が急務である。著者は、フラッシュメモリを置き換える可能性を持つ低電圧駆動の抵抗変化型メモリ (ReRAM ; Resistive Random Access Memory) を開発した。選択トランジスタと組み合わせた抵抗変化素子からなる 1T1R セルの動作原理を解析し、従来技術に比べて低消費電力駆動、すなわち低抵抗状態から高抵抗状態へデータ書換え時のリセット電流の大幅な低減とリセット時間の短縮を同時に満たす ReRAM 技術を確立した。本論文は、これらの研究成果をまとめたものである。

第1章は、序論である。

第2章では、約 10 nm の膜厚の NiO 薄膜を用いた Pt/NiO/Pt 積層構造からなる抵抗変化素子を用いた 1T1R セルの動作原理の解析とリセット動作時の駆動電流の低減の検討を行った。図1に 0.18 μ m-CMOS テクノロジーで試作した 1T1R セルの断面構造を示す。選択トランジスタのゲート電圧を電源電圧より低いミドルレンジに設定して、NiO 薄膜の高抵抗状態からソフトブレイクダウンした直後にフィラメント伝導パスを通過する電流を最小限に抑制することで、図2に示すようにリセット電流を数 mA から数 10 μ A に大幅に低減できることを明らかにした。

第3章では、フィラメント内の熱伝導モデルを用いてリセット動作中のフィラメント内部の温度を解析した。さらに、アレニウスの関係から求めた Ni 原子の酸化反応時間を組み合わせて、リセット時間を決める主要の物理パラメータが低抵抗状態の抵抗値であることを提示した。実際に、その抵抗値を数 10 Ω から数 k Ω に増加させると、図3のようにリセット時間が数 ms から数 100 ns に短縮できることをパルス応答実験から実証した。

このようにリセット電流の低減とリセット時間の短縮を両立させる条件を明らかにしたことは実用上極めて重要な成果である。

第4章では、1T1Rセルの書き込み誤動作を防止する電圧クランプトランジスタを搭載した小規模メモリ回路を開発した。リセット電流の低減とリセット時間の短縮を両立させる動作条件にてデータの繰り返し書き換え試験を行い、図4に示す通りの安定動作を確認した。さらに、 $-40^{\circ}\text{C}\sim 150^{\circ}\text{C}$ のメモリ動作試験と 150°C での高温メモリ保持特性評価においても実用性を実証した。

第5章では、90 nm-CMOSテクノロジーで $6F^2$ (F ; Feature size) が実現できる回路アーキテクチャを図5に提案し、最適設計した高密度メモリアレーの正常動作をSPICEによって検証した。

第6章は、結論である。

以上の通り、本論文はシステム LSI に不可欠な混載型不揮発性メモリのスケーラビリティと低消費電力を1T1Rセル構造のReRAMを用いて実現する技術を確立したものである。その成果は、1T1Rセル構造を用いて図6のようにメモリセルのリセット電流を数 $10\ \mu\text{A}$ に低減、リセット時間を数 $100\ \text{ns}$ に短縮して低消費電力化を実現した。これは、フラッシュメモリの他にさまざまな新規不揮発メモリに比べて優位性があり、将来有望な半導体メモリ技術である。

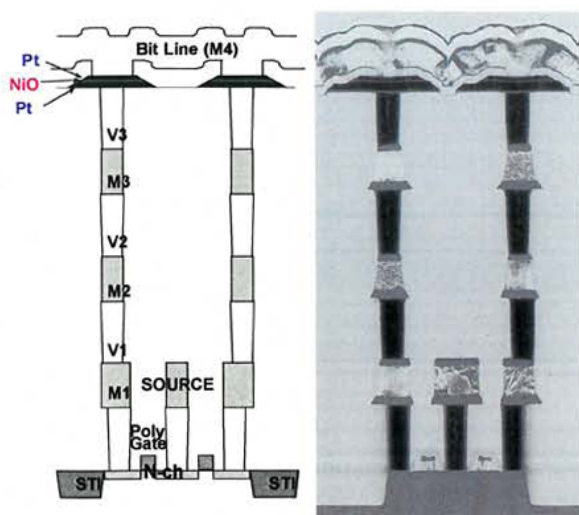


図1 1T1Rセルの断面構造および断面TEM写真

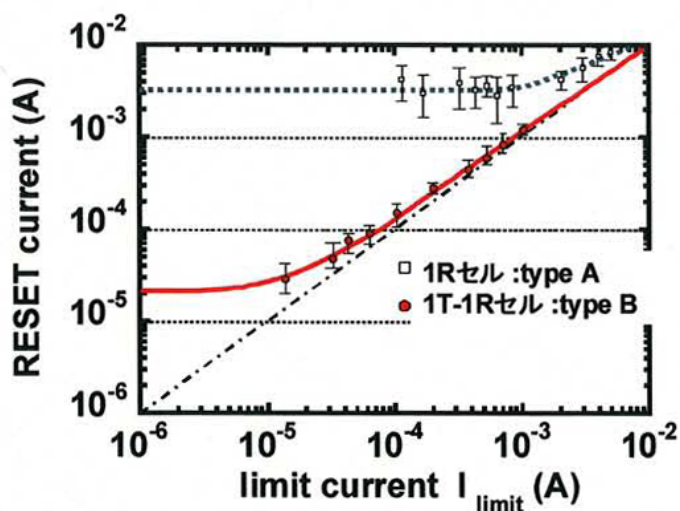


図2 1T1Rセルのセット電流制限とリセット電流

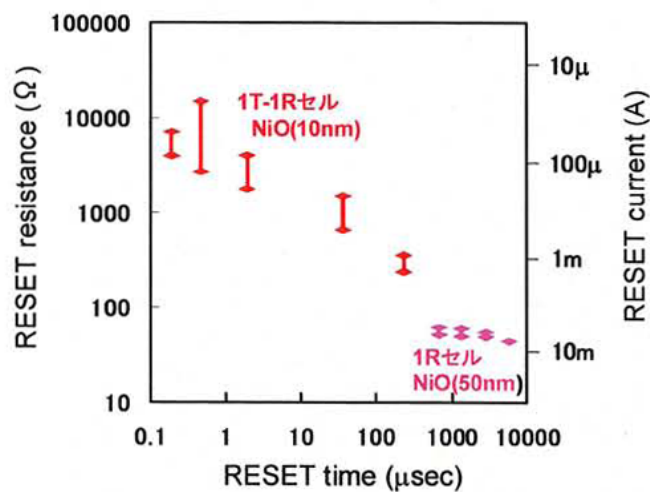


図3 リセット時間と低抵抗状態抵抗値の関係

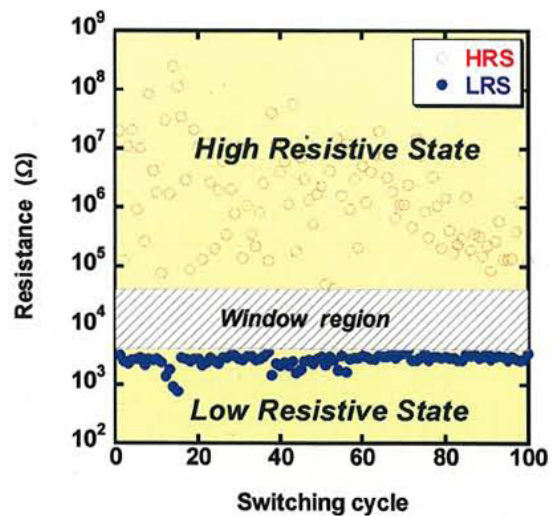


図4 書き換えサイクル回数とメモリ抵抗値

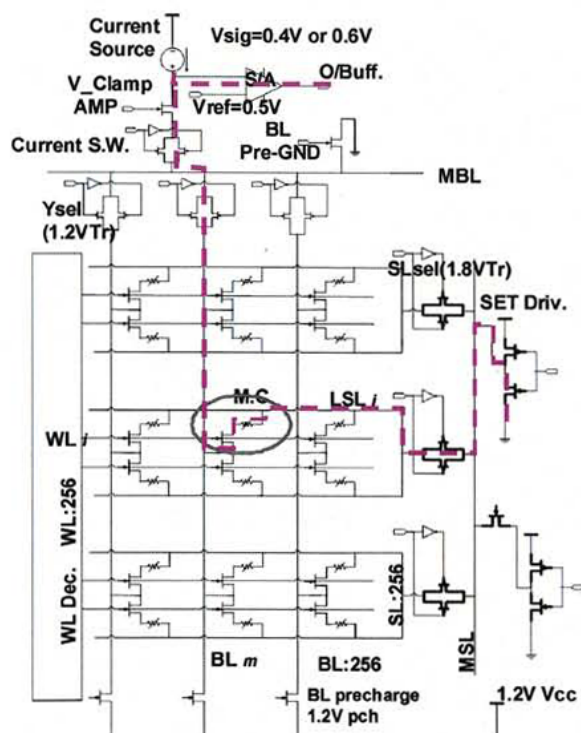


図5 90nm 世代における高密度 ReRAM アレイ

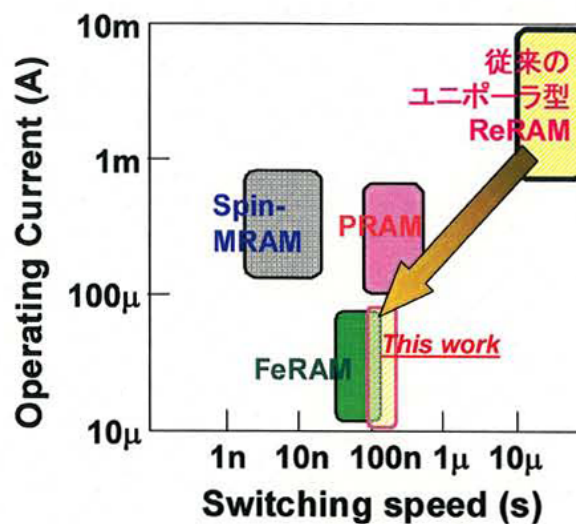


図6 本研究によるリセット電流と時間の改善

論文審査結果の要旨

システム LSI の発展とともに混載型不揮発性メモリの重要性が増している。従来、フローティングゲート構造のフラッシュメモリが主に使われてきたが、フラッシュメモリは 18 V の高い動作電圧を必要とするためさらなるスケーリングと低消費電力化が困難になってきており、フラッシュメモリの代替となる不揮発性メモリ技術の開発が急務である。著者は、フラッシュメモリを置き換える可能性を持つ低電圧駆動の抵抗変化型メモリ (ReRAM; Resistive Random Access Memory) を開発した。選択トランジスタと抵抗変化素子を組み合わせた 1T-1R (1Transistor-1Resistor) セルの動作原理を解析し、低抵抗状態から高抵抗状態へリセットする時の電流の低減と時間の短縮を同時に満たす条件を見出し、従来技術に比べて低消費電力動作の ReRAM 技術を確立した。本論文は、これらの研究成果をまとめたもので、全文 6 章よりなる。

第 1 章は、序論である。

第 2 章では、約 10 nm の膜厚の NiO 薄膜を用いた Pt/NiO/Pt 積層構造からなる抵抗変化素子の動作原理の解析を踏まえ、高速かつ低電流リセット動作の検討を行った。選択トランジスタのゲート電圧を電源電圧より低いミドルレンジに設定して、高抵抗状態からソフトブレイクダウンした直後にフィラメント伝導パスを通過する電流を抑制することで、リセット電流を数 mA から数 10 μ A に低減できることを明らかにした。

第 3 章では、フィラメント内の熱伝導モデルを用いてリセット動作中のフィラメント内部の温度を解析した。アレニウスの関係から求めた Ni 原子の酸化反応時間を組み合わせて、リセット時間を決める主要物理パラメータが低抵抗状態の抵抗値であることを提示した。その抵抗値を数 10 Ω から数 k Ω に増加させると、リセット時間が数 ms から数 100 ns に短縮できることをパルス応答実験から実証した。リセット電流の低減とリセット時間の短縮を両立させる条件を明らかにしたことは実用上重要な成果である。

第 4 章では、1T-1R セルの書き込み誤動作を防止する電圧クランプトランジスタを搭載した小規模メモリ回路を開発した。リセット電流の低減とリセット時間の短縮を両立させる条件にてデータの繰り返し書き換え試験を行い、安定動作を確認した。さらに、 -40°C ~ 150°C のメモリ動作試験と 150°C の高温メモリ保持特性評価においても実用的な性能を確認した。

第 5 章では、90 nm-CMOS テクノロジーで $6 F^2$ (F は Feature size) が実現できる回路アーキテクチャを提案し、最適設計した高密度メモリアレーの正常動作を回路シミュレーションによって検証した。

第 6 章は、結論である。

以上要するに本論文は、システム LSI に不可欠な混載型不揮発性メモリのスケラビリティと低消費電力を 1T-1R セル構造の ReRAM を用いて実現する技術を確立したものであり、半導体デバイス工学および電子工学の発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。